



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Tomokazu KAWAMOTO

Serial Number: 10/673,565

Filed: September 30, 2003

Customer No.: 38834

For: METHOD FOR FABRICATING SEMICONDUCTOR DEVICE

PE

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

February 12, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

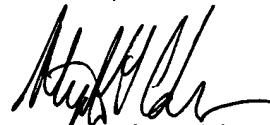
Japanese Appln. No. 2002-289938, filed on October 2, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP


Stephen G. Adrian
Reg. No. 32,878

Atty. Docket No.: 031731
1250 Connecticut Ave, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
SGA/II

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2002年10月 2日

出願番号
Application Number:

特願2002-289938

[ST.10/C]:

[JP2002-289938]

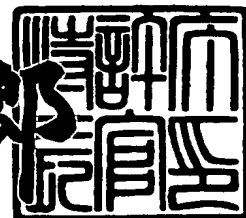
出願人
Applicant(s):

富士通株式会社

2003年 3月14日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3016459

【書類名】 特許願

【整理番号】 0240932

【提出日】 平成14年10月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/324

【発明の名称】 半導体装置の製造方法

【請求項の数】 8

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 川本 智一

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100087479

 【弁理士】

 【氏名又は名称】 北野 好人

【選任した代理人】

 【識別番号】 100114915

 【弁理士】

 【氏名又は名称】 三村 治彦

【手数料の表示】

 【予納台帳番号】 003300

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に、ゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記半導体基板にドーパント不純物を導入することにより、前記半導体基板内に不純物ドーパ領域を形成する工程と、

前記不純物ドーパ領域上に、前記不純物ドーパ領域に導入された前記ドーパント不純物が前記半導体基板の外部に拡散するのを防止するためのケミカル酸化膜を形成する工程と、

前記不純物ドーパ領域に導入された前記ドーパント不純物を活性化するための熱処理を行う工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、

前記ゲート電極を形成する工程では、前記ゲート絶縁膜上に導電層を形成し、レジスト膜をマスクとして前記導電層をパターニングすることにより前記ゲート電極を形成し、

前記不純物ドーパ領域を形成する工程の後に、前記レジスト膜を剥離する工程を更に有し、

前記レジスト膜を剥離する工程は、前記ケミカル酸化膜を形成する工程を兼ねる

ことを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 又は 2 記載の半導体装置の製造方法において、

前記ケミカル酸化膜を形成する工程では、膜厚が 1.4 nm 以上の前記ケミカル酸化膜を形成する

ことを特徴とする半導体装置の形成方法。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の製造方法において、

前記熱処理を行う工程では、酸素を含まない雰囲気下で熱処理を行う

ことを特徴とすることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方法において、

前記ケミカル酸化膜を形成する工程では、酸素を含むプラズマ、酸素ラジカル、及び薬液のうちの少なくともいずれかを用いて前記不純物ドーパ領域を酸化することにより、前記ケミカル酸化膜を形成する

ことを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 5 記載の半導体装置において、

前記薬液は、硫酸過水、アンモニア過水、塩酸過水、オゾン水、又は硝酸である

ことを特徴とする半導体装置の製造方法。

【請求項 7】 半導体基板上に、ゲート絶縁膜上を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記半導体基板にドーパント不純物を導入することにより、前記半導体基板内に不純物ドーパ領域を形成する工程と、

前記不純物ドーパ領域上に、前記不純物ドーパ領域に導入された前記ドーパント不純物が前記半導体基板の外部に拡散してしまうのを防止するための酸化膜を、成膜温度を 250～500℃とする化学気相成長法により形成する工程と、

前記不純物ドーパ領域に導入された前記ドーパント不純物を活性化するための熱処理を行う工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置の製造方法において、

前記熱処理を行う工程では、RTA法による熱処理を行う

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に係り、特に、熱処理を用いてドーパント不

純物を活性化する工程を有する半導体装置の製造方法に関する。

【 0 0 0 2 】

【従来の技術】

近年の半導体装置の微細化に伴い、MOS (Metal Oxide Semiconductor) トランジスタ等の半導体装置では、浅い接合 (shallow junction) を形成することが必要となってきている。このために、ドーパント不純物をイオン注入した後に行う活性化アニールの方法として、RTA法が用いられている。RTA法は、短時間、高温での熱処理により、ドーパント不純物をできるだけ活性化する一方、ドーパント不純物の拡散を抑制することで、低濃度拡散層をより薄く、所望の濃度に制御することを可能とするものである。

【 0 0 0 3 】

例えばMOSトランジスタの製造工程においては、LDD (Lightly Doped Drain) 構造における低濃度拡散層の形成時等にRTA (Rapid Thermal Anneal) 法による熱処理を用いてドーパント不純物の活性化が行われている。

【 0 0 0 4 】

しかしながら、半導体装置の微細化等に伴い、MOSトランジスタの製造工程では、ゲート絶縁膜の薄膜化が図られている。また、バースビーク (bird's beak) の発生を抑制するために、イオン注入を行う際に基板表面を覆う酸化膜を形成する工程が省略されるようになってきている。このため、RTA法による熱処理の際に、注入したドーパント不純物の外方拡散 (out diffusion) が発生してしまう場合があった。ドーパント不純物の外方拡散は、浅い接合における抵抗の上昇、その抵抗値のばらつき等の不都合を招くこととなる。

【 0 0 0 5 】

かかるドーパント不純物の外方拡散を抑制する方法としては、例えば、酸素添加雰囲気下でRTA法による熱処理を行い、ドーパント不純物の活性化を行う方法が提案されている (例えば特許文献1を参照)。この方法では、酸素が添加された雰囲気下での急速昇温により半導体基板表面に酸化膜を形成することで、ドーパント不純物を活性化するとともに、その外方拡散が抑制される。

【 0 0 0 6 】

なお、熱処理により形成した酸化膜によりドーパント不純物の外方拡散を抑制する方法については、種々の方法が提案されている（例えば特許文献 2、3 を参照）。

【0 0 0 7】

【特許文献 1】

特開 2 0 0 0 - 1 1 4 1 9 7 号公報

【特許文献 2】

特開 2 0 0 0 - 2 7 7 4 4 9 号公報

【特許文献 3】

特開 2 0 0 1 - 7 2 2 0 号公報

【0 0 0 8】

【発明が解決しようとする課題】

しかしながら、上述した酸素添加雰囲気下で急速昇温を行う方法では、外方拡散を抑制する酸化膜が形成されるだけでなく、ゲート電極部分にバースピークが発生してしまう場合が考えられる。かかるバースピークによる影響は、半導体装置の微細化が進行するにつれて無視できないものとなると考えられる。このため、酸素添加雰囲気での熱処理により形成された酸化膜によりドーパント不純物の外方拡散を抑制することができたとしても、同時にゲート電極部分に発生するバースピークに起因して、結果的に、トランジスタ特性が劣化してしまうことが想定される。

【0 0 0 9】

本発明の目的は、熱処理によりドーパント不純物を活性化する際に、バースピークの発生を抑制しつつ、ドーパント不純物の外方拡散を抑制しうる半導体装置の製造方法を提供することにある。

【0 0 1 0】

【課題を解決するための手段】

上記目的は、半導体基板上に、ゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板にドーパント不純物を導入することにより、前記半導体基板内に不純物ドーパ領域を形成する工程と、前記

不純物ドーパ領域上に、前記不純物ドーパ領域に導入された前記ドーパント不純物が前記半導体基板の外部に拡散するのを防止するためのケミカル酸化膜を形成する工程と、前記不純物ドーパ領域に導入された前記ドーパント不純物を活性化するための熱処理を行う工程とを有することを特徴とする半導体装置の製造方法により達成される。

【 0 0 1 1 】

また、上記目的は、半導体基板上に、ゲート絶縁膜上を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板にドーパント不純物を導入することにより、前記半導体基板内に不純物ドーパ領域を形成する工程と、前記不純物ドーパ領域上に、前記不純物ドーパ領域に導入された前記ドーパント不純物が前記半導体基板の外部に拡散してしまうのを防止するための酸化膜を、成膜温度を 2 5 0 ~ 5 0 0 ℃ とする化学気相成長法により形成する工程と、前記不純物ドーパ領域に導入された前記ドーパント不純物を活性化するための熱処理を行う工程とを有することを特徴とする半導体装置の製造方法により達成される。

【 0 0 1 2 】

【発明の実施の形態】

本発明の一実施形態による半導体装置の製造方法について図 1 乃至図 5 を用いて説明する。図 1 は本実施形態による半導体装置の製造方法により製造される MOS トランジスタの構造を示す断面図、図 2 乃至図 4 は本実施形態による半導体装置の製造方法を示す工程断面図、図 5 はケミカル酸化膜とシート抵抗との関係の一例を示すグラフである。

【 0 0 1 3 】

本実施形態による半導体装置の製造方法は、LDD 構造を有する MOS トランジスタの製造工程において、ドーパント不純物をイオン注入した領域上にケミカル酸化膜を形成することにより、RTA 法による活性化アニールの際のドーパント不純物の外方拡散を抑制するものである。

【 0 0 1 4 】

本実施形態による半導体装置の製造方法により製造される MOS トランジスタ

について図 1 を用いて説明する。

【0015】

シリコン基板上 10 に、シリコン酸化膜からなるゲート絶縁膜 12、ゲート電極 14 が順に形成されている。ゲート電極 14 の側壁には、サイドウォール絶縁膜 16 が形成されている。

【0016】

シリコン基板 10 内には、ゲート電極 14 に自己整合で、ドーパント不純物が低濃度に導入され、これにより低濃度拡散層 18 a が形成されている。さらに、シリコン基板 10 内には、サイドウォール絶縁膜 16 が形成されたゲート電極 14 に自己整合で、ドーパント不純物が高濃度に導入され、これにより高濃度拡散層 18 b が形成されている。これら低濃度拡散層 18 a 及び高濃度拡散層 18 b により、ソース／ドレイン拡散層 20 が構成されている。

【0017】

本実施形態による半導体装置の製造方法は、上記 LDD 構造を有する MOS トランジスタの製造工程において、低濃度拡散層 18 a を形成する際の RTA 法による熱処理を用いてドーパント不純物を活性化する工程の前に、ドーパント不純物が導入されたシリコン基板 10 上に、ケミカル酸化膜を予め形成しておくことに主たる特徴がある。このケミカル酸化膜により、RTA 法による熱処理を行いドーパント不純物を活性化する際に、ドーパント不純物の外方拡散を抑制することができ、浅い接合の低抵抗化及びその抵抗値の安定化を図ることができる。また、ケミカル酸化膜を予め形成しておくことで、酸素を含む雰囲気下での熱処理によりドーパント不純物の外方拡散を抑制するための熱酸化膜を形成する必要がないため、バースピークの発生を抑制することができる。

【0018】

なお、本明細書では、熱酸化や自然酸化によって形成される酸化膜以外を「ケミカル酸化膜」と称する。これには、例えば、酸化性の薬液によってシリコン表面を酸化して酸化膜を設ける所謂ウェット酸化によるものや、酸素プラズマをシリコン表面に作用させて酸化膜を設ける所謂プラズマ酸化によるものが含まれる。所望の設計値通りの膜厚に形成でき、バースピークを生じることが少ない酸化

手法であれば、上記に例示した手法と同様の効果が期待できるので、「ケミカル酸化膜」と称するものの範囲から排除するものではない。

【0019】

以下、本実施形態による半導体装置の製造方法について図2乃至図5を用いて説明する。

【0020】

まず、シリコン基板10に、例えば通常のSTI (Shallow Trench Isolation) 法により、素子領域(図示せず)を画定する。

【0021】

次いで、例えば熱酸化法により、素子領域のシリコン基板10表面に、膜厚5nmのシリコン酸化膜からなるゲート絶縁膜12を形成する。

【0022】

次に、全面に、例えばCVD (Chemical Vapor Deposition: 化学気相成長) 法により、膜厚100nmのポリシリコン膜22を形成する(図2(a)を参照)。

【0023】

次いで、ポリシリコン膜22上に、レジスト膜24を形成し、ゲート電極形成予定領域上にレジスト膜24を残存させる(図2(b)を参照)。

【0024】

次に、レジスト膜24をマスクとして、ドライエッチングによりポリシリコン層22をパターニングし、ポリシリコン層22からなるゲート電極14を形成する。このとき、露出したゲート絶縁膜12もエッチングされ膜厚が薄くなり、例えば3nmのように薄い膜厚でゲート絶縁膜12が形成されている場合には、露出したゲート絶縁膜12は、ほぼ除去される(図2(c)を参照)。

【0025】

次いで、ゲート電極16をマスクとしてB(ボロン)をイオン注入し、シリコン基板10内に、ゲート電極14に自己整合で、LDD構造の低濃度拡散層18aとなる不純物ドーピング領域26aを形成する(図3(a)を参照)。イオン注入の条件としては、例えば、イオンの加速エネルギーを1~5keV、ドーズ量を

$2 \times 10^{14} \text{ cm}^{-2}$ とすることができる。なお、Bをイオン注入する代わりに、 BF_2 をイオン注入する場合には、イオンの加速エネルギーを例えば3～30 keV程度とする。

【0026】

次いで、ゲート電極14のパターニングの際にマスクとして用いたレジスト膜24を剥離する。レジスト膜24は、例えばプラズマアッシングと酸化性の薬液による処理とを組み合わせ、或いは単独で用いて剥離する。本実施形態では、以下に述べるように、レジスト膜24を剥離する際に、不純物ドープ領域26a上に、所定の膜厚のケミカル酸化膜28が形成される。

【0027】

プラズマアッシングは、以下のようにして行うことができる。

【0028】

不純物ドープ領域26aが形成されたシリコン基板10を、アッシング処理室内で酸素プラズマ或いは酸素ラジカルに曝露する。アッシング条件は、適宜設定することができる。例えば、酸素を1350 sccmの流量でアッシング処理室内に導入して酸素プラズマを発生し、温度180℃で20秒間、温度270℃で25秒間、連続的に曝露すればよい。或いは、酸素を1350 sccmの流量でアッシング処理室内に導入して酸素プラズマを発生し、温度240℃で60秒間曝露してもよい。なお、酸素プラズマ或いは酸素ラジカルのみならず、その他の酸素の反応種に曝露してもよい。

【0029】

酸素プラズマに曝露されたゲート電極14上のレジスト膜24は、酸素プラズマと反応し、分解除去される。このとき、不純物ドープ領域26a表面も酸素プラズマに曝露され、不純物ドープ領域26a上には、酸素プラズマにより表面が酸化されることにより、ケミカル酸化膜28が成長する。

【0030】

酸化性の薬液処理は、以下のようにして行うことができる。

【0031】

不純物ドープ領域26aが形成されたシリコン基板10を酸化性の薬液に浸漬

する。レジスト膜 2 4 の剥離及びケミカル酸化膜 2 8 の成長に用いる酸化性の薬液としては、硫酸過水（S P M、Sulfuric Acid/Hydrogen Peroxide Mixture： $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$ の混合液）、高温のアンモニア過水（A P M、Ammonia/Hydrogen Peroxide Mixture： $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2$ の混合液）、塩酸過水（H P M、Hydrochloric Acid/Hydrogen Peroxide/Water Mixture： $\text{HCl}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ の混合液）、オゾン水、硝酸等を用いることができる。ただし、アンモニア過水は、常温ではケミカル酸化膜 2 8 と反応し、ケミカル酸化膜 2 8 を薄くする作用を有する。このため、異物や硫酸痕を除去するための常温のアンモニア過水による処理は、ケミカル酸化膜 2 8 を形成する工程の最後に用いないことが望ましい。ケミカル酸化膜 2 8 を形成する工程の最後に常温のアンモニア過水による処理を用いる場合には、ケミカル酸化膜 2 8 が薄くなりすぎずに所望の膜厚となるように、浸漬時間等の処理条件について留意する必要がある。また、高温のアンモニア過水は、シリコン基板をエッチングするため、拡散層の濃度低下を招いてしまう点に留意する必要がある。

【 0 0 3 2 】

酸化性の薬液中に浸漬されたゲート電極 1 4 上のレジスト膜 2 4 は、酸化性の薬液と反応し、分解除去される。このとき、不純物ドープ領域 2 6 a 上には、酸化性の薬液により表面が酸化されることにより、ケミカル酸化膜 2 8 が成長する。

【 0 0 3 3 】

酸化性の薬液による処理の終了後、シリコン基板 1 0 を乾燥する。シリコン基板 1 0 の乾燥には、例えばエアブロー、I P A 乾燥、スピン乾燥等を用いることができる。

【 0 0 3 4 】

上述したプラズマアッシング及び／又は各種の酸化性の薬液による処理を適宜組み合わせて、或いは単独で用いることにより、レジスト膜 2 4 を剥離する際に、不純物ドープ領域 2 6 a 上のケミカル酸化膜 2 8 が、最終的に所定の膜厚にまで成長する（図 3（b）を参照）。

【 0 0 3 5 】

具体的には、例えば、硫酸過水を用いた第 1 の酸化処理と、プラズマアッシングと、硫酸過水を用いた第 2 の酸化処理とを順次連続して行い、レジスト膜 2 4 を剥離する際に、ケミカル酸化膜 2 8 を成長する。

【 0 0 3 6 】

また、プラズマアッシングを行わず、薬液処理のみによりレジスト膜 2 4 を剥離する際にケミカル酸化膜 2 8 を成長してもよく、この場合には、例えば、硫酸過水を用いた酸化処理と、アンモニア過水を用いた酸化処理と、オゾン水を用いた酸化処理とを順次連続して行うことができる。また、硫酸過水を用いた酸化処理と、アンモニア過水を用いた酸化処理と、硝酸を用いた酸化処理とを順次連続して行ってもよい。また、硫酸過水を用いた酸化処理と、オゾン水を用いた酸化処理とを順次連続して行ってもよい。また、硫酸過水を用いた酸化処理と、高温のアンモニア過水を用いた酸化処理とを順次連続して行ってもよい。また、硫酸過水を用いた酸化処理のみを行ってもよい。オゾン水を用いた酸化処理のみを行ってもよい。

【 0 0 3 7 】

なお、不純物ドーパ領域 2 6 a 上に形成したケミカル酸化膜 2 8 の膜厚が薄すぎると、ドーパント不純物の外方拡散を十分に抑制することが困難となる。この結果、接合における抵抗の上昇や抵抗値のばらつき等の不都合を招くこととなる。したがって、膜厚を十分に制御してケミカル酸化膜 2 8 を形成することが望ましい。プラズマアッシングの条件、酸化性の薬液による処理の条件を適宜設定することにより、ケミカル酸化膜 2 8 の膜厚を制御することができる。

【 0 0 3 8 】

ドーパント不純物の外方拡散を十分に抑制することができるケミカル酸化膜 2 8 の膜厚は、ケミカル酸化膜の膜厚とシート抵抗との関係を測定することにより決定することができる。

【 0 0 3 9 】

図 5 は、シリコンウェーハ上に形成したケミカル酸化膜の膜厚とシート抵抗との関係の一例を示すグラフである。シート抵抗は、上述の方法により所定の膜厚でケミカル酸化膜を形成し、R T A 法による熱処理を用いてドーパント不純物を

活性化した後のシリコンウェーハについて四端針法により測定したものである。

【 0 0 4 0 】

図 5 のグラフからは、ケミカル酸化膜が厚くなるにつれてシート抵抗が小さくなることが分かる。例えば、ケミカル酸化膜の膜厚を 1.4 nm 以上にすれば、シート抵抗を十分に低減することができることが分かる。したがって、ケミカル酸化膜 28 を 1.4 nm 以上の膜厚で形成することにより、ドーパント不純物の外方拡散を十分に抑制し、接合の低抵抗化を図ることができるといえる。

【 0 0 4 1 】

このように、予め求めたケミカル酸化膜の膜厚とシート抵抗との関係に基づき、不純物ドーブ領域 26 a 上に形成するケミカル酸化膜 28 の膜厚を決定することにより、ドーパント不純物の外方拡散を確実に抑制することができる。

【 0 0 4 2 】

上述のようにして所定の膜厚のケミカル酸化膜 28 を形成した後、例えば R T A 法による熱処理を行い、不純物ドーブ領域 26 a に注入したドーパント不純物を活性化する。R T A 法による熱処理の条件は、例えば、窒素雰囲気下、加熱温度を 1000℃、加熱時間を 10 秒間とすることができる。こうして、不純物ドーブ領域 26 a 中のドーパント不純物を活性化することにより、低濃度拡散層 18 a が形成される（図 3（c）を参照）。

【 0 0 4 3 】

R T A 法による熱処理の際、不純物ドーブ領域 26 a 上には、ケミカル酸化膜 28 が形成されているため、不純物ドーブ領域 26 a 中のドーパント不純物の外方拡散が抑制される。

【 0 0 4 4 】

なお、R T A 法による熱処理は、酸素を含んでいない雰囲気下で行うことが望ましい。酸素を含んでいない雰囲気下で R T A 法による熱処理を行うことにより、ゲート電極 14 部分でのバースピークの発生を抑制することができる。

【 0 0 4 5 】

次いで、全面に、例えば C V D 法により、膜厚 5 nm のシリコン酸化膜 30 を形成する（図 4（a）を参照）。

【 0 0 4 6 】

この後、例えば R I E (Reactive Ion Etching: 反応性イオンエッチング) 法によりシリコン酸化膜 3 0 を異方性エッチングし、ゲート電極 1 4 の側壁にサイドウォール絶縁膜 1 6 を形成する。この際、ケミカル酸化膜 2 8 が除去される (図 4 (b) を参照)。

【 0 0 4 7 】

次いで、ゲート電極 1 4 及びサイドウォール絶縁膜 1 6 をマスクとして、ボロンをイオン注入し、L D D 構造の高濃度拡散層 1 8 b となる不純物ドープ領域 2 6 b を形成する (図 4 (c) を参照)。イオン注入の条件は、例えば、イオンの加速エネルギーを $0.5 \sim 20 \text{ keV}$ 、ドーズ量を $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ とすることができる。

【 0 0 4 8 】

次いで、例えば R T A 法による熱処理を行い、不純物ドープ領域 2 6 b 中のドーパント不純物を活性化する。R T A 法による熱処理の条件は、例えば、加熱温度を 1000°C 、加熱時間を $10 \sim 20$ 秒間とすることができる。こうして、不純物ドープ領域 2 6 b 中のドーパント不純物を活性化することにより高濃度拡散層 1 8 b が形成され、低濃度拡散層 1 8 a 及び高濃度拡散層 1 8 b から構成される L D D 構造のソース/ドレイン拡散層 2 0 が形成される。

【 0 0 4 9 】

こうして、図 1 に示す半導体装置が製造される。

【 0 0 5 0 】

このように、本実施形態によれば、シリコン基板 1 0 の不純物ドープ領域 2 6 a 上に、ケミカル酸化膜 2 8 を形成した後に、R T A 法による熱処理を行い不純物ドープ領域 2 6 a 中のドーパント不純物を活性化するので、ドーパント不純物の外方拡散を抑制することができる。これにより、低濃度拡散層 1 8 a の低抵抗化及び抵抗値の安定化を図ることができ、高い信頼性を有する半導体装置を提供することができる。

【 0 0 5 1 】

また、酸素を含んでいない雰囲気下で R T A 法による熱処理を行うことにより

、ゲート電極 1 4 部分でのバースピークの発生を抑制することができ、更に高い信頼性を有する半導体装置を提供することができる。

【 0 0 5 2 】

また、レジスト膜 2 4 を剥離する工程がケミカル酸化膜 2 8 を形成する工程を兼ねるため、工程数が増えることもなく、半導体装置の製造工程が煩雑になることもない。

【 0 0 5 3 】

なお、本実施形態では、レジスト膜 2 4 を剥離する際に、ケミカル酸化膜 2 8 を成長したが、レジスト膜 2 4 を剥離した後に、ケミカル酸化膜 2 8 を成長してもよい。この場合、アッシング処理と、硫酸過水处理と、低温のアンモニア過水处理とを順次連続して行うことにより、或いは例えば有機系のレジスト剥離液により、レジスト膜 2 4 を剥離した後に、例えば、高温でのアンモニア過水を用いた酸化処理と、塩酸過水を用いた酸化処理とを順次連続して行うことができる。また、アンモニア過水を用いた酸化処理と、オゾン水を用いた酸化処理とを順次連続して行ってもよい。また、硫酸過水を用いた酸化処理と、塩酸過水を用いた酸化処理とを順次連続して行ってもよい。また、硫酸過水を用いた酸化処理と、硝酸を用いた酸化処理とを順次連続して行ってもよい。また、硫酸過水を用いた酸化処理と、オゾン水を用いた酸化処理とを順次連続して行ってもよい。また、オゾン水を用いた酸化処理のみを行ってもよい。

【 0 0 5 4 】

(評価結果)

本実施形態による半導体装置の製造方法により製造した p チャネルの MOS トランジスタについて、低濃度拡散層の抵抗を測定し、比較評価した。

【 0 0 5 5 】

図 6 は、ケミカル酸化膜の形成条件と、測定された低濃度拡散層の抵抗値との関係を示すグラフである。横軸はケミカル酸化膜の形成条件を示し、縦軸は低濃度拡散層の抵抗値を示している。

【 0 0 5 6 】

形成条件 1 は、プラズマアッシング後にアンモニア過水处理を行い、ケミカル

酸化膜を 1. 2 nm の膜厚で形成したものである。グラフ左上の正円内の各測定点が、形成条件 1 による場合の測定結果である。

【 0 0 5 7 】

形成条件 2、3 は、プラズマアッシング後に硫酸過水を用いた酸化処理を行い、ケミカル酸化膜を 1. 4 nm の膜厚で形成したものである。グラフ中央付近の楕円内の各測定点が、形成条件 2、3 による場合の測定結果である。

【 0 0 5 8 】

形成条件 4～6 は、硫酸過水を用いた第 1 の酸化処理と、プラズマアッシングと、硫酸過水を用いた第 2 の酸化処理とを順次連続して行い、ケミカル酸化膜を 1. 6 nm の膜厚で形成したものである。グラフ右下の楕円内の各測定点が、形成条件 4～6 による場合の測定結果である。

【 0 0 5 9 】

形成条件 1 によるケミカル酸化膜の膜厚が 1. 2 nm の場合では、低濃度拡散層の抵抗値は、高い値となってしまう。また、同条件下にもかかわらず、各測定点で値がばらついてしまっている。これは、ケミカル酸化膜の膜厚が薄いために、ドーパント不純物の外方拡散を十分に抑制することができていないためであると考えられる。

【 0 0 6 0 】

一方、形成条件 2～6 によるケミカル酸化膜の膜厚が 1. 4 nm 及び 1. 6 nm の場合では、低濃度拡散層の抵抗値は、膜厚 1. 2 nm の場合と比較して低い値であり、各測定点の値のばらつきも少なく安定している。形成条件 2、3 による膜厚 1. 4 nm の場合と形成条件 4～6 による膜厚 1. 6 nm の場合とを比較すると、形成条件 4～6 による膜厚 1. 6 nm の場合の方が、抵抗値は更に小さな値となっており、各測定点での値のばらつきも更に小さくなっている。

【 0 0 6 1 】

このように、低濃度拡散層となる不純物ドーパ領域上に形成するケミカル酸化膜の膜厚や成膜条件を適宜設定することにより、低濃度拡散層の抵抗値を低減するとともに、その値のばらつきも小さくすることができることが分かった。

【 0 0 6 2 】

〔変形実施形態〕

本発明の上記実施形態に限らず種々の変形が可能である。

【0063】

例えば、上記実施形態では、p型のMOSトランジスタを製造したが、n型のMOSトランジスタにも本発明を適用することができ、ボロンのみならず、リン、砒素等の種々のドーパント不純物の外方拡散を抑制することができる。

【0064】

また、上記実施形態では、ポリシリコンの単層構造からなるゲート電極を形成する場合について説明したが、ポリメタル構造のゲート電極、ポリシリコン膜とシリサイド膜との積層膜からなるポリサイド構造のゲート電極を形成してもよい。

【0065】

また、上記実施形態では、ケミカル酸化膜28を形成したが、ケミカル酸化膜28の代わりに、不純物ドーパ領域26a上に、CVD法により膜厚10nm程度のシリコン酸化膜を形成してもよい。CVD法により形成したシリコン酸化膜によっても、ケミカル酸化膜28と同様に、ドーパント不純物の外方拡散を抑制することができる。この場合、ゲート電極14を形成した後に、CVD法により、不純物ドーパ領域26a上に、シリコン酸化膜を形成する。成膜条件としては、例えば、原料ガスを SiH_2Cl_2 と N_2O とし、成膜温度を400℃とすることができる。なお、成膜温度は、250～500℃の低温とすることが望ましい。このように成膜温度を低温とすることにより、不純物ドーパ領域26a上にシリコン酸化膜を形成する際に、ゲート電極14部分にバースピークが発生するのを抑制することができる。

【0066】

〔発明の効果〕

以上の通り、本発明によれば、半導体基板上に、ゲート絶縁膜を介してゲート電極を形成し、ゲート電極をマスクとして半導体基板にドーパント不純物を導入することにより、半導体基板内に不純物ドーパ領域を形成し、不純物ドーパ領域上に、不純物ドーパ領域に導入されたドーパント不純物が半導体基板の外部に拡

散するのを防止するためのケミカル酸化膜を形成し、不純物ドーピング領域に導入されたドーパント不純物を活性化するための熱処理を行うので、不純物ドーピング領域に導入されたドーパント不純物の外方拡散を抑制することができる。これにより、不純物拡散層の低抵抗化及び抵抗値の安定化を図ることができ、高い信頼性を有する半導体装置を提供することができる。

【 0 0 6 7 】

また、不純物ドーピング領域に導入されたドーパント不純物を活性化するための熱処理を酸素を含まない雰囲気下で行うので、ゲート電極部分にバースピークが発生するのを抑制することができる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態による半導体装置の製造方法により製造される MOS トランジスタの構造を示す断面図である。

【図 2】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 3】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 4】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 5】

ケミカル酸化膜の膜厚とシート抵抗との関係を示すグラフである。

【図 6】

評価結果を示すグラフである。

【符号の説明】

1 0 … シリコン基板

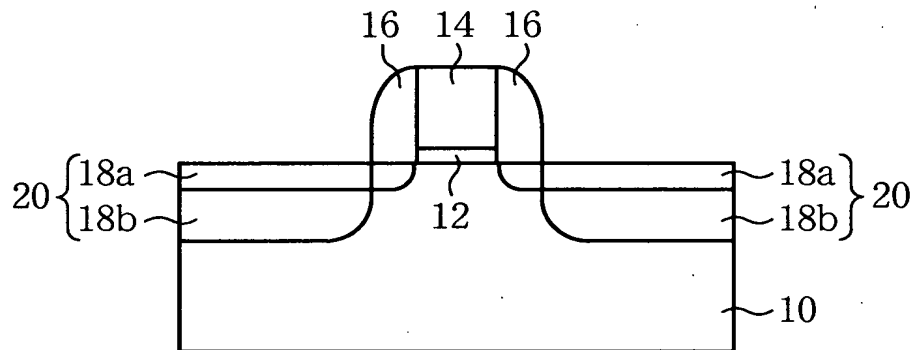
1 2 … ゲート絶縁膜

- 1 4 … ゲート電極
- 1 6 … サイドウォール絶縁膜
- 1 8 a … 低濃度拡散層
- 1 8 b … 高濃度拡散層
- 2 0 … ソース／ドレイン拡散層
- 2 2 … ポリシリコン膜
- 2 4 … レジスト膜
- 2 6 a … 不純物ドーピング領域
- 2 6 b … 不純物ドーピング領域
- 2 8 … ケミカル酸化膜
- 3 0 … シリコン酸化膜

【書類名】 図面

【図 1】

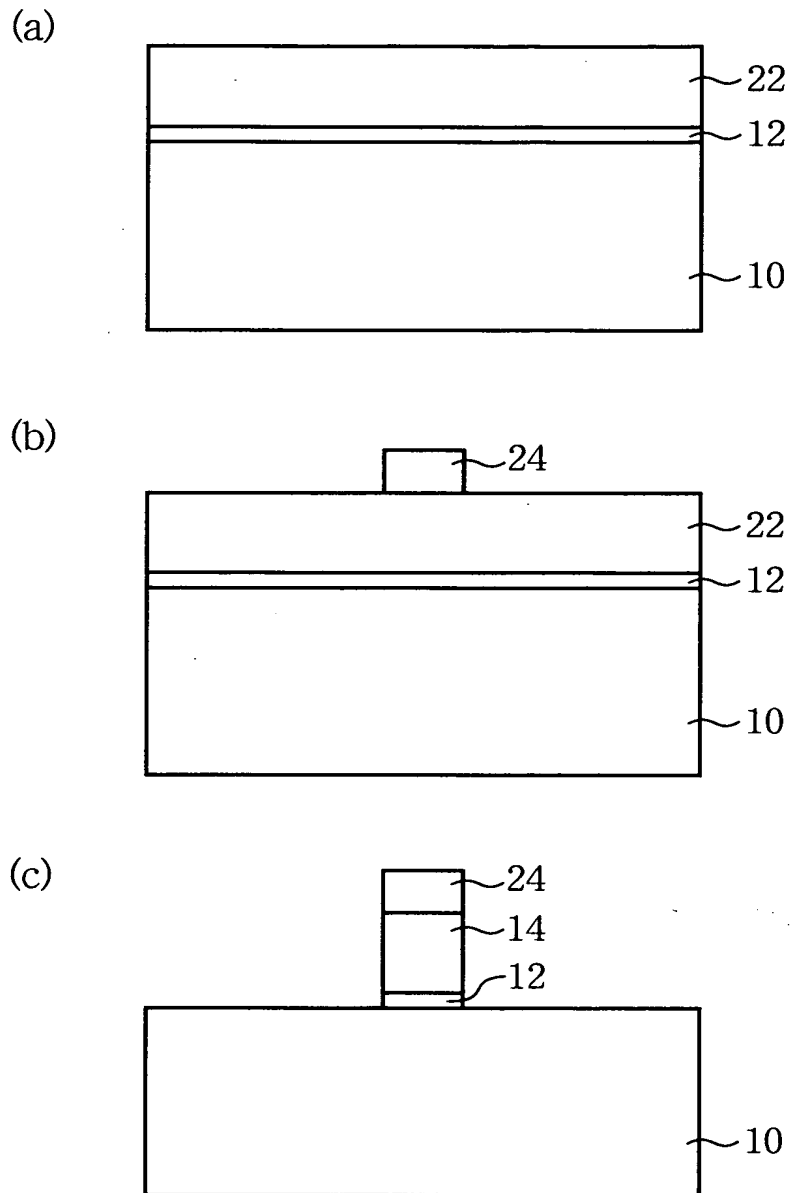
本発明の一実施形態による半導体装置の製造方法により
製造されるMOSトランジスタの構造を示す断面図



- 10…シリコン基板
- 12…ゲート絶縁膜
- 14…ゲート電極
- 16…サイドウォール絶縁膜
- 18a…低濃度拡散層
- 18b…高濃度拡散層
- 20…ソース／ドレイン拡散層

【図 2】

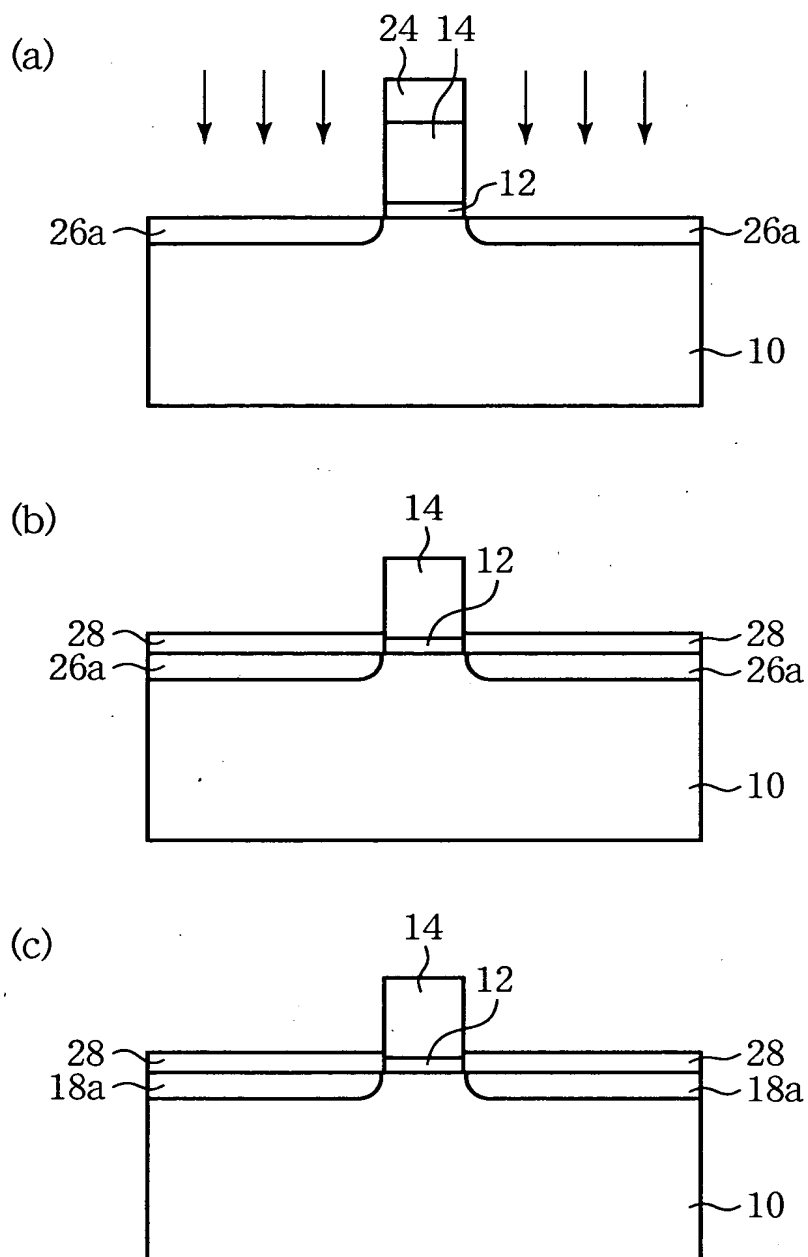
本発明の一実施形態による半導体装置の製造方法を示す
工程断面図（その1）



22…ポリシリコン膜
24…レジスト膜

【図 3】

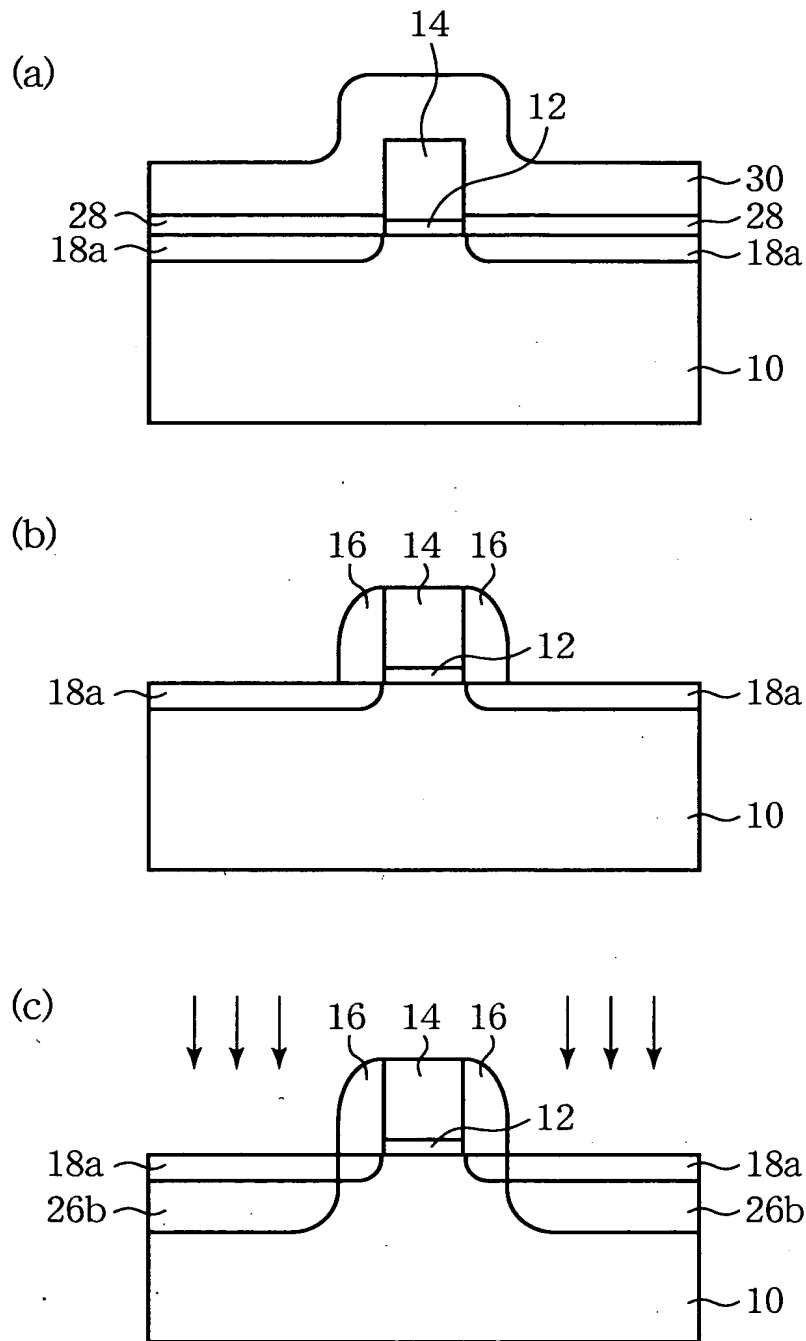
本発明の一実施形態による半導体装置の製造方法を示す
工程断面図（その2）



26a…不純物ドーピング領域
26b…不純物ドーピング領域
28…ケミカル酸化膜

【図 4】

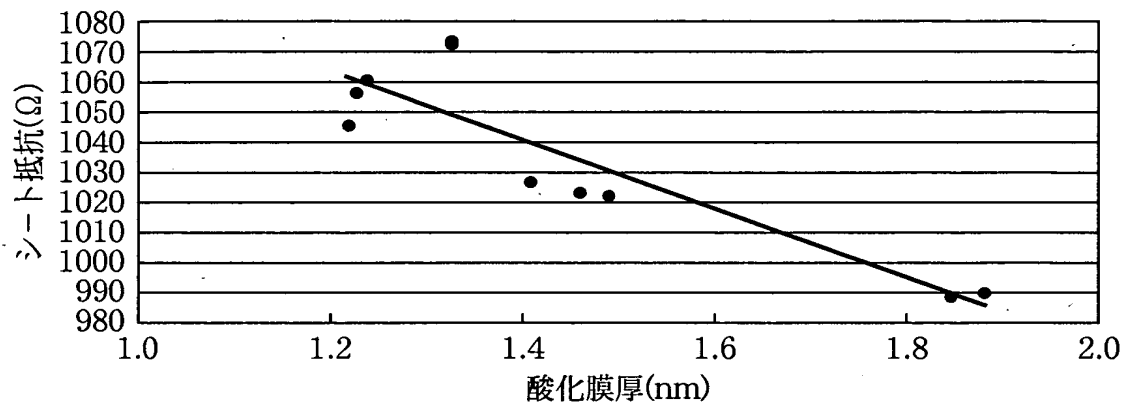
本発明の一実施形態による半導体装置の製造方法を示す
工程断面図（その3）



30…シリコン酸化膜

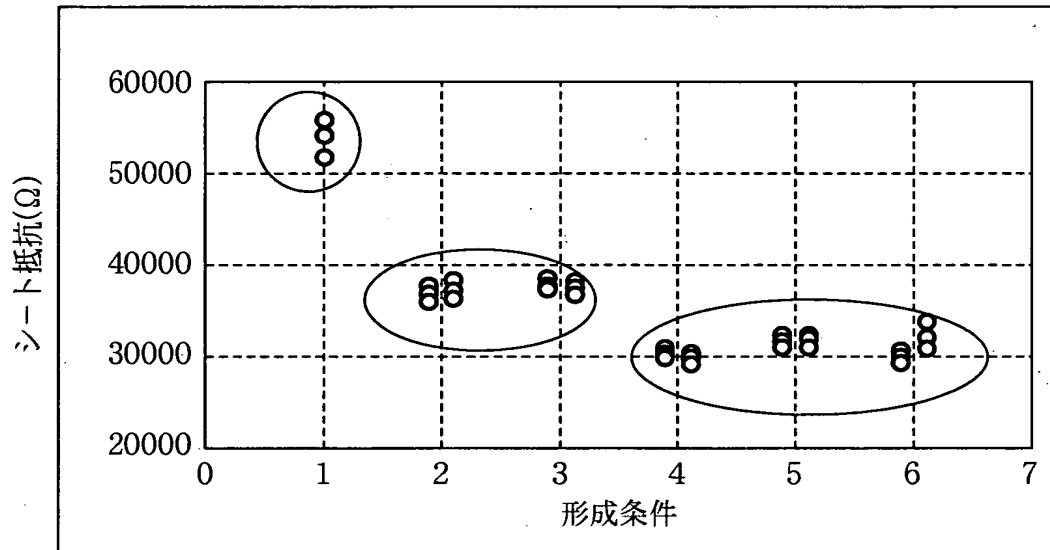
【図 5】

ケミカル酸化膜の膜厚とシート抵抗との関係を示すグラフ



【図 6】

評価結果を示すグラフ



【書類名】 要約書

【要約】

【課題】 熱処理によりドーパント不純物を活性化する際に、バースピークの発生を抑制しつつ、ドーパント不純物の外方拡散を抑制しうる半導体装置の製造方法を提供する。

【解決手段】 シリコン基板 1 0 上に、ゲート絶縁膜 1 2 を介してゲート電極 1 4 を形成する工程と、ゲート電極 1 4 をマスクとしてシリコン基板 1 0 にドーパント不純物を導入することにより、シリコン基板 1 0 内に不純物ドーブ領域 2 6 a を形成する工程と、不純物ドーブ領域 2 6 a 上に、不純物ドーブ領域 2 6 a に導入されたドーパント不純物がシリコン基板 1 0 の外部に拡散するのを防止するためのケミカル酸化膜 2 8 を形成する工程と、不純物ドーブ領域 2 6 a に導入されたドーパント不純物を活性化するための熱処理を行う工程とを有する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000.005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社